

## PATENT ABSTRACTS OF JAPAN

CG

(11)Publication number : 08-111166  
 (43)Date of publication of application : 30.04.1996

(51)Int.Cl.

H01J 1/30  
 H01J 21/06  
 H01J 31/12  
 H01J 31/15

(21)Application number : 06-246004

(22)Date of filing : 12.10.1994

(71)Applicant : MATSUSHITA ELECTRON CORP

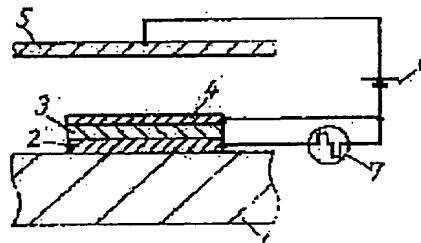
(72)Inventor : SHIMADA YASUHIRO  
 NASU TORU  
 INOUE ATSUO  
 ARITA KOJI  
 MATSUDA AKIHIRO

## (54) ELECTRON PULSE EMITTING DEVICE AND DISPLAY DEVICE

## (57)Abstract:

PURPOSE: To obtain pulsatively high electron emitting current density under low operating voltage by forming a second electrode on a first electrode through a ferroelectric substance film, and opposing a third electrode to the second electrode through a space.

CONSTITUTION: A first electrode 2 is formed on a silicon board 1, and a second electrode 4 is formed on the electrode 2 through a ferroelectric substance film 3. A third electrode 5 opposed to the electrode 4 through a space is formed on the electrode 4. Here, a positive pulse is impressed on the electrode 2 between the electrode 2 and the electrode 4, and since a device is composed of the electrode 2, the ferroelectric substance film 3 and the electrode 4 and charging is performed, an electron is accumulated to the electrodes 2 and 4. When a negative pulse is impressed on the electrode 2 between the electrode 2 and the electrode 4, polarization of the ferroelectric substance film 3 is reversed, and the electron is emitted toward the electrode 5 from the electrode 4 by a DC bias 6. An electron 28 restricted by a defect level of the ferroelectric substance film 3 is accelerated by an electric field imposed on the ferroelectric substance film 3, and jumps out to a vacuum level 24 while hopping between defect levels.



## LEGAL STATUS

[Date of request for examination] 10.03.1999  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 3214256  
 [Date of registration] 27.07.2001  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-111166

(43)公開日 平成8年(1996)4月30日

(51)Int.Cl.<sup>6</sup>

H 01 J 1/30  
21/06  
31/12  
31/15

識別記号

府内整理番号

B  
B  
C

F I

技術表示箇所

審査請求 未請求 請求項の数7 O.L (全7頁)

(21)出願番号

特願平6-246004

(22)出願日

平成6年(1994)10月12日

(71)出願人 000005843

松下電子工業株式会社  
大阪府高槻市幸町1番1号

(72)発明者 鶴田 恒博

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(72)発明者 那須 徹

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(72)発明者 井上 敦雄

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(74)代理人 弁理士 小銀治 明 (外2名)

最終頁に続く

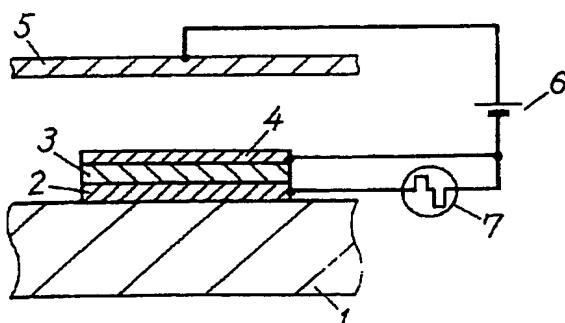
(54)【発明の名称】 電子パルス放出装置および表示装置

(57)【要約】

【目的】 空間電荷制限効果のない高い電子放出電流密度を低い動作電圧によってパルス的に得ることができ、かつ特性変動や劣化の少ない平面陰極構造を有する電子パルス放出装置および表示装置を提供する。

【構成】 支持基板1と、支持基板1の上に形成された第1の電極2と、第1の電極2の上に形成された強誘電体膜3と、強誘電体膜3の上に第1の電極2と接触することなく形成された第2の電極4と、第2の電極4と空間を介して対向する第3の電極5とからなる電子パルス放出装置。また透明基板上に透明導電膜を形成して第3の電極5とし、その上に蛍光体膜を塗布した。

- 1 支持基板
- 2 第1の電極
- 3 強誘電体膜
- 4 第2の電極
- 5 第3の電極



EST AVAILABILITY COPY

1

## 【特許請求の範囲】

【請求項1】 支持基板と、前記支持基板の上に形成された第1の電極と、前記第1の電極の上に形成された強誘電体膜と、前記強誘電体膜の上に前記第1の電極と接触することなく形成された第2の電極と、前記第2の電極と空間を介して対向する第3の電極とからなる電子パルス放出装置。

【請求項2】 支持基板が一方導電型の半導体基板であり、第1の電極が前記半導体基板の上に形成された他方導電型の拡散層である請求項1記載の電子パルス放出装置。

【請求項3】 一主面上に複数の第1の電極と、前記第1の電極の上に形成された強誘電体膜と、前記強誘電体膜の上に前記第1の電極と接触することなく形成された複数の第2の電極と、前記第1の電極と第2の電極の交点に開口を有する絶縁層とを備えた支持基板と、透明導電層と蛍光体層が順に形成された透明基板とが空間を介して対向して保持され、かつ周辺部で封止されてなる表示装置。

【請求項4】 支持基板が一方導電型の半導体基板であり、第1の電極が前記半導体基板の上に形成された他方導電型の拡散層である請求項3記載の表示装置。

【請求項5】 支持基板の上に、複数の第1の電極および複数の第2の電極に電気信号を供給するための駆動回路を設けた請求項4記載の表示装置。

【請求項6】 複数の第1の電極と複数の第2の電極との交点が、行または列同士で半ピッチずれている請求項3、4または5記載の表示装置。

【請求項7】 複数の第1の電極と複数の第2の電極の交点に対応して透明基板の上に2種類以上の蛍光体が独立してマトリックス状に塗布されている請求項3、4、5または6記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、強誘電体膜または高い誘電率を有する誘電体膜を容量絶縁膜とする容量装置の一電極面を冷陰極電子放出面として用いた電子パルス放出装置およびその電子パルス放出装置を用いた表示装置に関する。

## 【0002】

【従来の技術】固体素子中の電子の移動速度はたかだか光速の1/1000程度であり、固体素子の動作速度には限界がある。また、これらの固体素子の特性は、放射線や温度変化に影響されやすいという欠点を持っている。近年、固体素子の持つこれらの欠点を克服するために、微細加工技術を用いて微小な真空管を固体中に作りこむ試みが活発になされている。

【0003】これらの微小真空管にはさまざまな形状の冷陰極が使用されているが、そのなかでも針状電極は1000A/cm<sup>2</sup>以上の高い放出電子密度を容易に得る

2

ことができる、広く研究されている。また、半導体中のなだれ降伏や、絶縁膜またはショットキー障壁でのトンネル効果を利用した平面陰極構造も研究されている。

【0004】以下、従来の平面陰極構造を有する電子パルス放出装置の一例について説明する。図6は従来の電子パルス放出装置の要部断面図である。

【0005】図6に示すように、従来の電子パルス放出装置は、強誘電体膜3を第1の電極2と第2の電極4とで挟み、第2の電極4には強誘電体膜3の表面を露出させるための開口4aを設けている。このような構成において、交流パルス電源7からのパルス電圧で強誘電体膜3の分極を急激に反転させることにより、強誘電体膜3の表面の分極電荷によって拘束された電子をパルス的に放出させる方法が試みられており、1A/cm<sup>2</sup>以上の電流密度を得ている(例:H. Gundl他Appl. Phys. Lett., Vol. 54, pp. 2071, 1989)。

## 【0006】

【発明が解決しようとする課題】しかしながら上記の従来の針状電極構造では、陰極の尖端部に電流が集中するため尖端部が蒸発し経時に放出電流特性が変化するほか、尖端部へのガスの吸脱着により放出電流特性が不安定になるなどの課題を有していた。

【0007】一方、なだれ降伏やトンネル効果を利用した平面陰極構造では、電子放出に高電界を要するので動作電圧が高くなるという課題を有していた。さらに、これらの冷陰極を用いた微小真空管の多くは直流通じて動作するので、空間電荷制限効果によって放出電子電流が飽和するという課題を有していた。

【0008】この空間電荷制限効果は、瞬時電流値だけを問題にするのであれば、空間に電子をパルス的に放出させることによって回避できる。たとえば、強誘電体の分極反転を利用した強誘電体表面からの電子放出はその一例である(例:H. Gundl他Appl. Phys. Lett., Vol. 54, pp. 2071, 1989および特開平5-325777号公報)が、ここで放出される電子の量は高々強誘電体膜の分極電荷と結合した電荷量のみであるので、高い放出電子電流密度は望めない。また、電子放出面が強誘電体表面であるため、ガスの吸脱着による電子放出特性が不安定になるという課題があった。

【0009】この課題を解決するために、発明者らは、強誘電体表面を金属電極で覆い、この金属電極と絶縁膜を介して隔てられたトリガ板との間に印加した電界によって金属電極から電子を引き出し、電子放出特性の安定化を図った(特開平6-259304号公報参照)。しかし、この構造では、電子放出特性が従来の構造に比べて改善されたものの、金属電極とトリガ板の間の絶縁膜の絶縁耐圧が高くななければならないのに加え、この装置を駆動するための回路が複雑になるというあらたな課題が生じた。

【0010】本発明は、上記従来の課題を解決するもので、空間電荷制限効果がなく、高い電子放出電流密度を低い動作電圧によってパルス的に得ることができ、かつ特性変動や特性劣化の少ない平面陰極構造を有する電子パルス放出装置および表示装置を提供することを目的とする。

#### 【0011】

【課題を解決するための手段】この目的を達成するために本発明の電子パルス放出装置は、支持基板と、支持基板の上に形成された第1の電極と、第1の電極の上に形成された強誘電体膜と、強誘電体膜の上に第1の電極と接触することなく形成された第2の電極と、第2の電極と空間を介して対向する第3の電極とからなる構成を有している。

【0012】また、本発明の表示装置は、一主面上に複数の第1の電極と、第1の電極の上に形成された強誘電体膜と、強誘電体膜の上に第1の電極と接触することなく形成された複数の第2の電極と、第1の電極と第2の電極の交点に開口を有する絶縁層とを備えた支持基板と、透明導電層と蛍光体層が順に形成された透明基板とが空間を介して対向して保持され、かつ周辺部で封止されてなる構成を有している。

#### 【0013】

【作用】以上の構成により、電子パルス放出装置としては、第2の電極に容量結合として蓄積された電子に加え、第2の電極と強誘電体膜の界面準位に拘束された電子、強誘電体膜内の欠陥準位に拘束された電子を放出電子として利用できるので、放出電流密度を高くできる。

【0014】なお支持基板をn型半導体基板とし、第1の電極をp型拡散層で構成することによりpn接合部から拡散注入された電子までも放出電子に供することができるので、さらに放出電流密度が高くなる。

【0015】また、強誘電体膜の膜厚を200nm程度にすると、±5V程度の低電圧で分極を反転させることができとなり、低電圧での電子放出が可能となる。さらに、電子放出面は第2の電極で覆われた平面構造であるので、放出電流の集中がなく、またガスの吸着の影響も受けにくい電子パルス放出装置を実現できる。さらに、その動作は第1の電極と第2の電極との間に交流パルス電圧を印加すればよいので、動作に必要な回路構成も簡素化される。

【0016】また上記の電子パルス放出装置の第3の電極として透明導電層を形成し、その上に蛍光体層を積層した透明基板を用いることにより、低電圧動作可能な薄型の表示装置を実現できる。

#### 【0017】

【実施例】以下本発明の一実施例における電子パルス放出装置について、図面を参照しながら説明する。

【0018】図1は本発明の第1の実施例における電子パルス放出装置の断面図である。図1において、1はシ

リコン基板またはガラス基板等の支持基板、2は白金膜からなる第1の電極、3はチタン酸鉛ジルコニウムからなる厚さ200nmの強誘電体膜、4は白金膜からなる厚さ10nmの第2の電極、5はアルミニウムからなる第3の電極であり、第2の電極4と第3の電極5は1mm程度離てられている。6は直流バイアス電源、7は交流パルス電源であり、それぞれ電子パルス放出装置を動作させるための駆動回路の一部を構成している。

【0019】以上のように構成された電子パルス放出装置について、以下その動作について説明する。まず第1の電極2と第2の電極4との間に第1の電極2に対して正のパルスを印加し、第1の電極2と、強誘電体膜3と、第2の電極4とで構成されるキャバシタを充電する。このとき、第2の電極4には電子が蓄積される。次に第1の電極2と第2の電極4との間に第1の電極に対して負のパルスを印加すると強誘電体膜3の分極が反転し、直流バイアス6によって第2の電極4から第3の電極5に向けて電子が放出される。

【0020】上記の動作について、さらに電子エネルギー帯図を用いて説明する。図2(a)は、第1の電極に対して正であるパルス電圧を第2の電極に印加したときの電子エネルギー帯図、図2(b)は、第1の電極に対して負であるパルス電圧を第2の電極に印加したときの電子エネルギー帯図である。これらの図において、21は第1の電極2の電子エネルギー帯、22は強誘電体膜3の電子エネルギー帯、23は第2の電極4の電子エネルギー帯、24は真空準位、25はフェルミ準位、26は第2の電極4に容量結合した電子、27は第2の電極4と強誘電体膜3との界面の界面準位に拘束された電子、28は強誘電体膜3の欠陥準位に拘束された電子である。以下電荷の単体として電子のみに着目して説明する。

【0021】図2(a)に示すように、第1の電極2と第2の電極4との間に第1の電極に対して正のパルスを印加した場合、第2の電極4には容量結合した電子26が、第2の電極4と強誘電体膜3との界面には界面準位に拘束された電子27が、強誘電体膜3内には欠陥準位に拘束された電子28がそれぞれ蓄積される。次に図2(b)に示すように、第1の電極2と第2の電極4との間に第1の電極2に対して負のパルスを印加すると強誘電体膜3の分極が反転し、界面準位に拘束された電子27が反転した分極電荷による電界によって真空準位24に飛び出す。さらに強誘電体膜3の欠陥準位に拘束された電子28が、強誘電体膜3にかかる電界に加速され、欠陥準位間をホッピングしながら真空準位24へ飛び出す。

【0022】次に、本発明の第2の実施例における電子パルス放出装置について、図面を参照しながら説明する。

【0023】図3は同電子パルス放出装置の断面図であ

5

る。図3において、31はn型シリコン基板、32はp型拡散層からなる第1の電極、33はチタン酸鉛シリコニウムからなる厚さ200nmの強誘電体膜、34は白金膜からなる厚さ10nmの第2の電極、35はアルミニウムからなる第3の電極であり、第2の電極34と第3の電極35は1mm程度隔てられており、36は直流バイアス電源、37は交流パルス電源である。第1の電極32はn型シリコン基板31との間にpn接合を形成している。第1の電極32には交流パルス電源37が電気的に接続されており、第1の電極32と第2の電極34との間にかかる電圧と、第1の電極32とn型シリコン基板31との間にかかる電圧とは極性が逆になっている。

【0024】以上のように構成された第2の実施例について、以下その動作について説明する。

【0025】図4(a)は、直流バイアス電源および交流パルス電源が接続されていないときの電子エネルギー帯図であり、図4(b)は、直流バイアス電源および交流パルス電源37を接続し、第1の電極32に正のパルス電圧を印加したときの電子エネルギー帯図、図4(c)は、第1の電極32に負のパルス電圧を印加したときの電子エネルギー帯図である。これらの図において、41はpn接合の電子エネルギー帯、42は強誘電体膜の電子エネルギー帯、43は第2の電極34の電子エネルギー帯、44は真空準位、45はフェルミ準位、46は第2の電極34に容量結合した電子、47は第2の電極34と強誘電体膜33との界面の界面準位に拘束された電子、48は強誘電体膜33内の欠陥準位に拘束された電子、49はn型シリコン基板31から第1の電極32に注入された電子である。

【0026】ここで、直流バイアス電圧を印加し、第1の電極32に正のパルス電圧を印加すると、図2(a)に示すように、第2の電極34には容量結合した電子46が、第2の電極34と強誘電体膜33との界面には界面準位に拘束された電子47が、強誘電体膜33内には欠陥準位に拘束された電子48がそれぞれ蓄積されるほか、pn接合部は順方向バイアスとなっているので、第1の電極32にはn型シリコン基板31から電子49が拡散注入され、これらの一部は強誘電体膜33と第1の電極32との界面の界面準位に拘束された電子47となる。

【0027】次に第1の電極32に負のパルスを印加すると、図4(c)に示すように強誘電体膜33の分極が反転し、界面準位に拘束された電子47が反転した分極電荷による電界によって真空準位44に飛び出す。さらに強誘電体膜33の欠陥準位に拘束された電子48が、強誘電体膜33にかかる電界に加速され、欠陥準位間をホッピングしながら真空準位44へ飛び出す。これに加えて第1の電極32と強誘電体膜33との間の界面準位に拘束された電子47も電界に加速されて真空準位44

10

20

30

40

50

6

へ放出されることとなる。

【0028】なお本実施例において基板としてn型シリコン基板を使用し、第1の電極としてp型拡散層を用い、pn接合を利用した場合について説明したが、p型シリコン基板にn型ウェルを形成し、そのn型ウェルにp型拡散層を形成して第1の電極として用いても同様の電子放出装置を構成することができる。またpn接合を利用するのでなければ、p型シリコン基板にn型拡散層を形成し、このn型拡散層を第1の電極として用いてよい。

【0029】次に本発明の一実施例における表示装置について、図面を参照しながら説明する。図5は同表示装置の立体断面図である。図5において、51はn型シリコン基板、52はp型拡散層からなる第1の電極、53はPZTなどの強誘電体膜、54は第1の電極52に直交するようにして形成された白金膜などからなる第2の電極、55はシリコン酸化膜などからなる絶縁層、56は絶縁層55に設けた開口、57は蛍光体層、58は透明導電層からなる第3の電極、59は透明基板、60は直流バイアス電源、61は交流パルス電源である。なお第1の電極52および第2の電極54は、図面では省略したが、それぞれスイッチを介して交流パルス電源61に接続されているものとする。このように本実施例は、n型シリコン基板51の上に電子放出部を多数設け、このn型シリコン基板51に対向して蛍光体層57、透明導電層58を形成した透明基板59を設置し、それぞれの基板の周辺で真空封止しておくことにより表示装置を構成したものである。

【0030】すなわち、n型シリコン基板51の上に平行に配置された多数の第1の電極52と、強誘電体膜53を介して平行に配置された多数の第2の電極54とが互いに直角に配置されている。多数の第2の電極54は、電子を真空中に放出するための開口56を備えたシリコン酸化膜からなる絶縁層55で互いに電気的に絶縁されている。第1の電極52と第2の電極54の終端は、それぞれスイッチ(図示せず)を介して交流パルス電源61に接続されている。一方、交流パルス電源61に対して直流バイアス電源60によってバイアスされた放出電子を捕獲する第3の電極58は、開口56より空間を隔てて電子放出面と対向する透明基板59の上に形成された透明導電層であり、たとえば酸化インジウムスズ(ITO)などが使用される。さらに、本実施例では、電子の到達面である透明導電層58の面上に蛍光体57が塗布されている。なお、シリコン基板51と透明基板59とは絶縁層55の上にスペーサを設けて重ね合わせることによって、両者の間隔を均一に保持することができる。

【0031】以上のように構成された表示装置について、以下その動作について説明する。まず、交流パルス電源61によって第1の電極52、強誘電体膜53、お

および第2の電極54からなるキャパシタへの充放電動作は図3に示す電子パルス放出装置に同じであるが、電子が放出される場所は、第1の電極52と第2の電極54のおおのに接続されているスイッチ(図示せず)の開閉状態を組み合わせることによって選択される格子上の点になる。このように、選択された任意の格子点の開口56から放出された電子は、直流バイアス電源60による電界で加速されて第3の電極58に到達するが、本実施例では蛍光体57を第3の電極58の面上に塗布してあるので、加速された電子は蛍光体57に衝突し、これを発光させる。すなわち、透明基板59の内面の任意の場所を選択して発光させることができるので、平面画像表示装置として利用できる。

【0032】上記実施例における表示装置では、第1の電極52としてn型シリコン基板51に形成されたp型拡散層を用いた例について説明したが、これはpn接合を利用して効率を上げた例であり、単に拡散層を配線として使用するのであれば、導電型にはこだわる必要はない。また基板として半導体基板を使用するのではなく、絶縁性基板上に導電性材料で複数本の第1の電極を形成し、この第1の電極を覆って強誘電体膜を形成し、この強誘電体膜の上に第1の電極に直交するようにして第2の電極を形成しても同様の表示装置を構成することができる。

【0033】また上記実施例における表示装置では、第2の電極54として白金膜を用いた例について説明したが、白金膜以外にも仕事関数の低い金属を使用するか、または低抵抗の金属の表面に酸化マグネシウム(MgO)やセシウム(Cs)など電子放出効率の高い材料を塗布することにより、さらに電子放出効率の高い電子パルス放出装置を備えた表示装置を構成することができる。

【0034】また表示装置をカラー化するに際しては、第1の電極52と第2の電極54との交点に対応する透明基板59の上に異なる発色を示す蛍光体膜を形成してもよいし、また蛍光体膜57として白色発光のものを選択し、透明基板59にモザイク状のカラーフィルタを重ねてもよい。このとき、第1の電極52と第2の電極54との交点が行同士または列同士で互いに半ピッチずつずれるようにしておけば、鮮やかな色表示を可能にする。

【0035】なお、基板としてシリコン単結晶基板を用いた場合、通常の半導体装置の製造方法を用いて電極形成できるとともに、表示部の周辺に高性能の駆動回路を形成でき、小型・高性能の表示装置を構成することができる。

【0036】また、基板として透明基板上に多結晶シリコン膜または非晶質シリコン膜を形成したものを用いた場合、シリコン単結晶基板を用いた場合に比べて多少性能は劣るもの、大画面の表示装置を構成することができます。

きる。

### 【0037】

【発明の効果】本発明は、支持基板上に形成された第1の電極と、第1の電極の上に形成された強誘電体膜と、強誘電体膜の上に第1の電極と接触することなく形成された第2の電極と、第2の電極と空間を介して対向する第3の電極からなり、電極に容量結合として蓄積された電子、電極と強誘電体膜の界面準位に拘束された電子、および強誘電体膜内の欠陥準位に拘束された電子を放出させることにより、低電圧で放出電流密度の高い電子パルス放出装置を実現できるものである。たとえば強誘電体膜を200nm程度の厚さにすると、±5V程度の低電圧で強誘電体の分極を反転させることができ、低電圧動作させることができる。

【0038】また、基板としてn型シリコン基板を用い、p型拡散層を第1の電極としてその上に強誘電体膜、第2の電極を順次形成し、これらの上に第3の電極を設置することによりさらにpn接合部から注入された電子も放出電子として利用できるため、さらに放出電流密度を高くすることができる。

【0039】また、電子放出面は金属または酸化物の平面構造であり、放出電流の集中がなく、ガスの吸脱着の影響を受けにくい電子パルス放出装置を実現できる。

【0040】さらに、上記の電子パルス放出装置を応用し、第3の電極の上に蛍光体膜を塗布しておくことにより、放出された電子により蛍光体膜が励起されて発光するため、極めて薄型の表示装置を実現することができる。

【0041】また、表示装置の基板として単結晶シリコン基板を用い、表示部の周辺部に駆動回路を一体的に形成することができ、表示装置の入力端子数および外付け回路を簡略化することができる。

### 【図面の簡単な説明】

【図1】本発明の第1の実施例における電子パルス放出装置の断面図

【図2】(a)は同電子パルス放出装置において、第1の電極に対して正であるパルス電圧を第2の電極に印加したときの電子エネルギー帯図

(b)は同電子パルス放出装置において、第1の電極に対して負であるパルス電圧を第2の電極に印加したときの電子エネルギー帯図

【図3】本発明の第2の実施例における電子パルス放出装置の断面図

【図4】(a)は、同電子パルス放出装置において、直流バイアス電圧およびパルス電圧が印加されていないときの電子エネルギー帯図

(b)は、同電子パルス放出装置において、直流バイアス電圧を印加し、p型拡散層に正のパルス電圧を印加したときの電子エネルギー帯図

(c)は、同電子パルス放出装置において、直流バイア

9

10

ス電圧を印加し、P型拡散層に負のパルス電圧を印加したときの電子エネルギー帯図

【図5】本発明の一実施例における表示装置の立体断面図

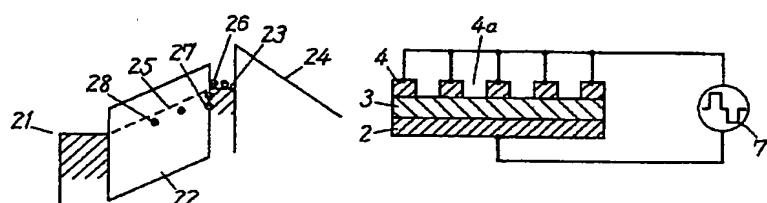
【図6】従来の電子パルス放出装置の要部断面図  
【符号の説明】

- 1 支持基板
- 2 第1の電極
- 3 強誘電体膜
- 4 第2の電極
- 5 第3の電極

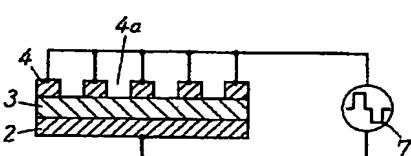
【図1】

- 1 支持基板 (a)  
2 第1の電極  
3 強誘電体膜  
4 第2の電極  
5 第3の電極

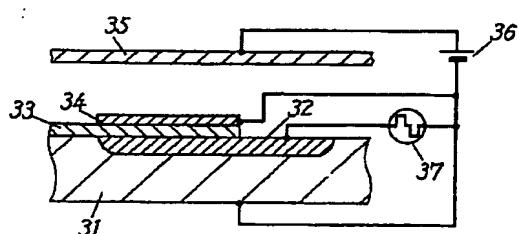
【図2】



【図6】

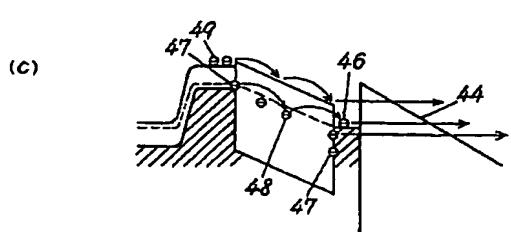
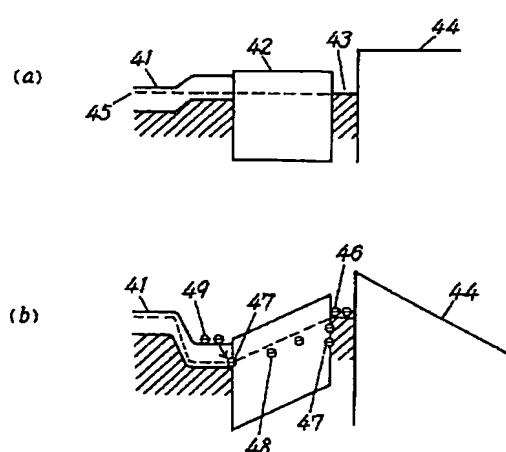


【図3】

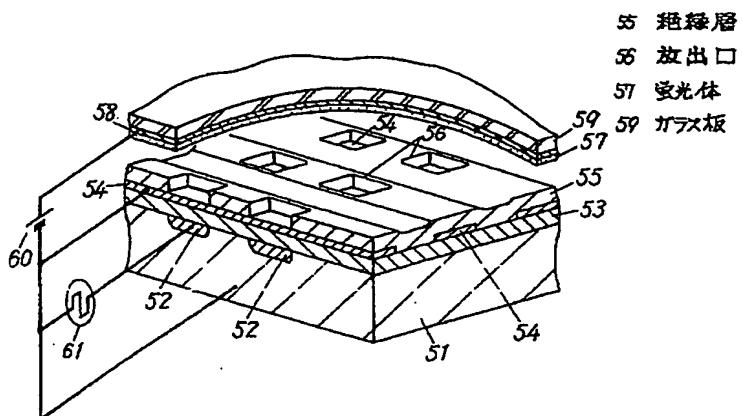


【図3】

【図4】



【図5】




---

フロントページの続き

(72)発明者 有田 浩二

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(72)発明者 松田 明浩

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

JAPANESE [JP,08-111166,A]

---

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE  
INVENTION TECHNICAL PROBLEM MEANS OPERATION EXAMPLE DESCRIPTION OF  
DRAWINGS DRAWINGS

---

[Translation done.]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] Electronic pulse release installation which consists of the 2nd electrode formed without contacting said 1st electrode on a support substrate, the 1st electrode formed on said support substrate, the ferroelectric film formed on said 1st electrode, and said ferroelectric film, and said 2nd electrode and the 3rd electrode which counters through space.

[Claim 2] Electronic pulse release installation according to claim 1 which a support substrate is a semi-conductor substrate of a conductivity type on the other hand, and is the diffusion layer of the another side conductivity type with which the 1st electrode was formed on said semi-conductor substrate.

[Claim 3] The ferroelectric film formed on two or more 1st electrodes and said 1st electrode on the 1 principal plane, Two or more 2nd electrodes formed without contacting said 1st electrode on said ferroelectric film, The display which the support substrate equipped with the insulating layer which has opening, and the transparency substrate with which the transparency conductive layer and the fluorescent substance layer were formed in order counter the intersection of said 1st electrode and 2nd electrode, and are held through space at it, and it comes to close by the periphery.

[Claim 4] The display according to claim 3 which a support substrate is a semi-conductor substrate of a conductivity type on the other hand, and is the diffusion layer of the another side conductivity type with which the 1st electrode was formed on said semi-conductor substrate.

[Claim 5] The display according to claim 4 which prepared the actuation circuit for supplying an electrical signal to two or more the 1st electrode and two or more 2nd electrodes on the support substrate.

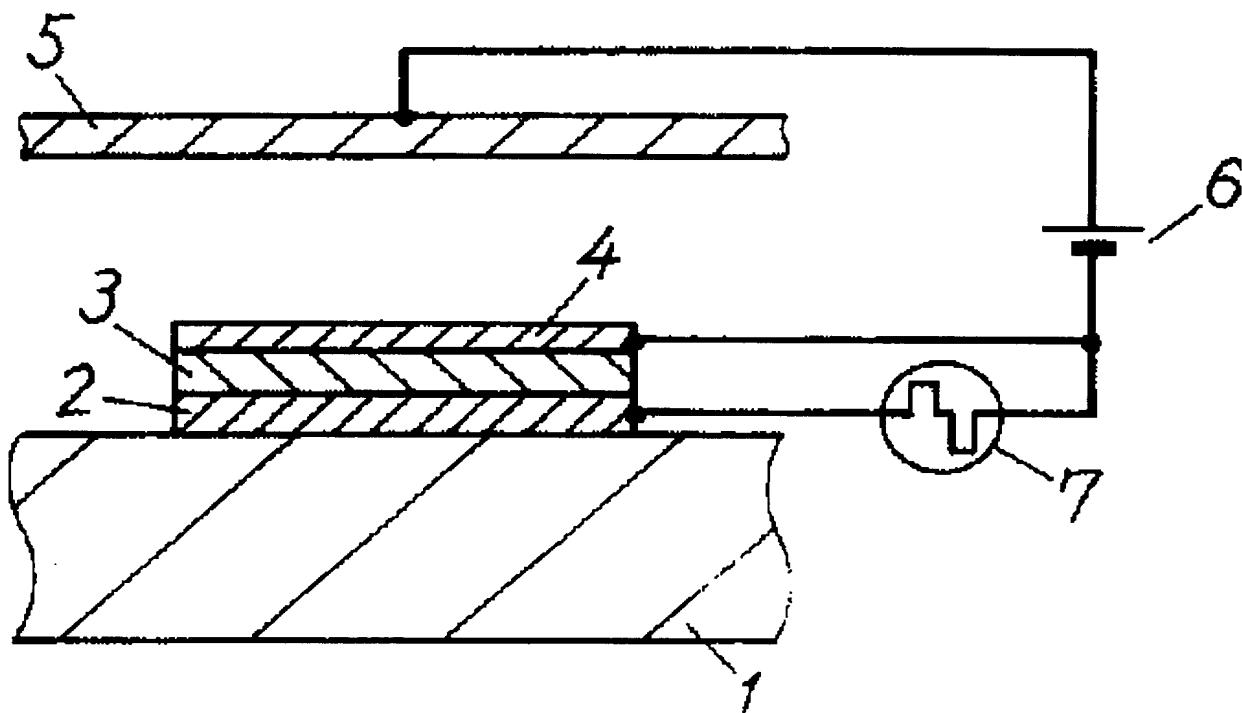
[Claim 6] The intersection of two or more 1st electrodes and two or more 2nd electrodes is a display half-pitch gap \*\*\*\*\* claims 3 and 4 or given in five in a line or trains.

[Claim 7] The display according to claim 3, 4, 5, or 6 with which two or more kinds of fluorescent substances are independently applied in the shape of a matrix on the transparency substrate corresponding to the intersection of two or more 1st electrodes and two or more 2nd electrodes.

---

[Translation done.]

- 1 支持基板
- 2 第1の電極
- 3 強誘電体膜
- 4 第2の電極
- 5 第3の電極



\* NOTICES \*

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the electronic pulse release installation using one electrode surface of the capacity equipment which makes the dielectric film which has the ferroelectric film or a high dielectric constant a capacity insulator layer as a cold cathode electron emission side, and the display using the electronic pulse release installation.

[0002]

[Description of the Prior Art] the passing speed of the electron in a solid-state component -- at most -- it is about [ of the velocity of light ] 1/1000, and there is a limitation in the working speed of a solid-state component. Moreover, the property of these solid-state components has the fault that it is tended to influence a radiation and a temperature change. In order to conquer these faults that a solid-state component has in recent years, ultra-fine processing technology is used and the attempt which makes the minute thermionic tube in a solid-state, and is crowded is made actively.

[0003] Although the cold cathode of various configurations is used for these minute thermionic tubes, since a needlelike electrode can obtain easily a two or more 1000 A/cm high emission-electron consistency also in it, it inquires widely. Moreover, the flat-surface cathode structure where the tunnel effect in avalanche breakdown, and the insulator layer or the Schottky barrier in a semi-conductor was used is also studied.

[0004] Hereafter, an example of electronic pulse release installation which has the conventional flat-surface cathode structure is explained. Drawing 6 is the important section sectional view of the conventional electronic pulse release installation.

[0005] As shown in drawing 6, the conventional electronic pulse release installation sandwiched the ferroelectric film 3 with the 1st electrode 2 and 2nd electrode 4, and provides opening 4a for exposing the front face of the ferroelectric film 3 to the 2nd electrode 4. In such a configuration, by reversing polarization of the ferroelectric film 3 rapidly with the pulse voltage from the alternating current pulse power source 7, the approach to which the electron restrained with the polarization charge of the front face of the ferroelectric film 3 is made to emit in pulse is tried, and two or more 1 A/cm current density has been obtained (example: Appl.Phys.Lett. besides H.Gundl, Vol.54, pp.2071, 1989).

[0006]

[Problem(s) to be Solved by the Invention] However, with the above-mentioned conventional needlelike electrode structure, in order that a current might concentrate on the tip section of cathode, the tip section evaporated and the emission current property changed with time, and also it had technical problems, like an emission current property becomes instability by the adsorption and desorption of the gas to the tip section.

[0007] On the other hand, with the flat-surface cathode structure where avalanche breakdown and the tunnel effect were used, since electron emission took high electric field, it had the technical problem that operating voltage became high. Furthermore, since many of minute thermionic tubes using such cold cathode operated in direct current, it had the technical problem that an emission-electron current was

saturated according to the space-charge-limitation effectiveness.

[0008] This space-charge-limitation effectiveness is avoidable by making an electron emit to space in pulse, if only a momentary current value is made an issue of. for example, the electron emission from the ferroelectric front face using polarization reversal of a ferroelectric -- the example -- it is (example: Appl.Phys.Lett. besides H.Gundl, Vol.54, pp.2071, 1989, and JP,5-325777,A) -- the amount of the electron emitted here -- at most -- since it is only the amount of charges combined with the polarization charge of the ferroelectric film, high emission-electron current density cannot be desired. Moreover, since an electron emission side was a ferroelectric front face, the technical problem that the electron emission characteristic by the adsorption and desorption of gas became instability occurred.

[0009] In order to solve this technical problem, by the electric field which impressed the ferroelectric front face between the trigger plates separated through a bonnet, and this metal electrode and insulator layer with the metal electrode, artificers pulled out the electron from the metal electrode and attained stabilization of the electron emission characteristic (refer to JP,6-259304,A). However, with this structure, although the electron emission characteristic has been improved compared with the conventional structure, the new technical problem that the circuit for driving this equipment became complicated in addition to whose isolation voltage of the insulator layer between a metal electrode and a trigger plate having to be high arose.

[0010] This invention solves the above-mentioned conventional technical problem, does not have the space-charge-limitation effectiveness, and aims at offering the electronic pulse release installation and the display which can obtain high electron emission current density in pulse with low operating voltage, and have flat-surface cathode structure with little property fluctuation and property degradation.

[0011]

[Means for Solving the Problem] In order to attain this object, the electronic pulse release installation of this invention has the configuration which consists of the 2nd electrode formed without contacting the 1st electrode on a support substrate, the 1st electrode formed on the support substrate, the ferroelectric film formed on the 1st electrode, and the ferroelectric film, and the 2nd electrode and the 3rd electrode which counters through space.

[0012] Moreover, the ferroelectric film with which the display of this invention was formed on two or more 1st electrodes and the 1st electrode on the 1 principal plane, Two or more 2nd electrodes formed without contacting the 1st electrode on the ferroelectric film, It has the configuration which the support substrate equipped with the insulating layer which has opening, and the transparence substrate with which the transparence conductive layer and the fluorescent substance layer were formed in order counter the intersection of the 1st electrode and the 2nd electrode, and are held through space at it, and it comes to close by the periphery.

[0013]

[Function] Since the electron which was restrained as electronic pulse release installation by the above configuration at the interface state density of the 2nd electrode and the ferroelectric film in addition to the electron accumulated in the 2nd electrode as capacity coupling, and the electron restrained by the defective level in the ferroelectric film can be used as emission electron, an emission current consistency can be made high.

[0014] In addition, since the emission electron can be presented even with the electron by which used the support substrate as the n-type-semiconductor substrate, and diffusion impregnation was carried out from the pn junction section by constituting the 1st electrode from a p mold diffusion layer, an emission current consistency becomes high further.

[0015] Moreover, if thickness of the ferroelectric film is set to about 200nm, it will become possible to reverse polarization by the about [ \*\*5V ] low battery, and the electron emission in a low battery will become possible. Furthermore, since an electron emission side is the planar structure covered with the 2nd electrode, the electronic pulse release installation which there is no concentration of the emission current and cannot be easily influenced of the adsorption and desorption of gas is realizable.

Furthermore, since the actuation should just impress an alternating current pulse voltage between the 1st electrode and the 2nd electrode, circuitry required for actuation is also simplified.

[0016] Moreover, the thin display in which low-battery actuation is possible is realizable by forming a transparency conductive layer as the 3rd electrode of the above-mentioned electronic pulse release installation, and using the transparency substrate which carried out the laminating of the fluorescent substance layer on it.

[0017]

[Example] The electronic pulse release installation in one example of this invention is explained below, referring to a drawing.

[0018] Drawing 1 is the sectional view of the electronic pulse release installation in the 1st example of this invention. In drawing 1, the 1st electrode with which support substrates, such as a silicon substrate or a glass substrate, and 2 consist of platinum film in 1, the ferroelectric film with a thickness of 200nm with which 3 consists of a lead titanate zirconium, the 2nd electrode with a thickness of 10nm with which 4 consists of platinum film, and 5 are the 3rd electrode which consists of aluminum, and the 2nd electrode 4 and 3rd electrode 5 are separated about 1mm. 6 is direct-current bias power supply, 7 is an alternating current pulse power source, and a part of actuation circuit for operating electronic pulse release installation, respectively is constituted.

[0019] About the electronic pulse release installation constituted as mentioned above, the actuation is explained below. A forward pulse is first impressed to the 1st electrode 2 between the 1st electrode 2 and the 2nd electrode 4, and the capacitor which consists of the 1st electrode 2, ferroelectric film 3, and the 2nd electrode 4 is charged. At this time, an electron is accumulated in the 2nd electrode 4. Next, if a negative pulse is impressed to the 1st electrode between the 1st electrode 2 and the 2nd electrode 4, polarization of the ferroelectric film 3 will be reversed and an electron will be emitted by the direct-current bias 6 towards the 3rd electrode 5 from the 2nd electrode 4.

[0020] The above-mentioned actuation is further explained using an electronic energy band Fig. An electronic energy band Fig. when drawing 2 (a) impresses the pulse voltage which is forward to the 2nd electrode to the 1st electrode, and drawing 2 (b) are the electronic energy band Figs. when impressing the pulse voltage which is negative to the 2nd electrode to the 1st electrode. In these drawings the electronic energy band of the 1st electrode 2 and 22 21 The electronic energy band of the ferroelectric film 3, The electron with which in 23 vacuum level and 25 were made into Fermi level, and the electronic energy band of the 2nd electrode 4 and 24 made capacity coupling of 26 to the 2nd electrode 4, the electron with which 27 was restrained by the interface state density of the interface of the 2nd electrode 4 and the ferroelectric film 3, and 28 are the electrons restrained by the defective level of the ferroelectric film 3. Only paying attention to an electron, it explains as a simple substance of a charge below.

[0021] As shown in drawing 2 (a), when a forward pulse is impressed to the 1st electrode between the 1st electrode 2 and the 2nd electrode 4, the electron 28 with which the electron 27 with which the electron 26 which carried out capacity coupling was restrained by the interface of the 2nd electrode 4 and the ferroelectric film 3 at interface state density was restrained by defective level in the ferroelectric film 3 is accumulated in the 2nd electrode 4, respectively. Next, it jumps out to the vacuum level 24 by the electric field by the polarization charge which polarization of the ferroelectric film 3 reversed when the negative pulse was impressed to the 1st electrode 2 between the 1st electrode 2 and the 2nd electrode 4, as shown in drawing 2 (b), and the electron 27 restrained by interface state density reversed. While the electric field concerning the ferroelectric film 3 accelerate and the electron 28 furthermore restrained by the defective level of the ferroelectric film 3 carries out the hopping of between defective level, it jumps out to the vacuum level 24.

[0022] Next, the electronic pulse release installation in the 2nd example of this invention is explained, referring to a drawing.

[0023] Drawing 3 is the sectional view of this electronic pulse release installation. In drawing 3, the 2nd electrode 34 and 3rd electrode 35 are separated about 1mm, the 1st electrode with which n mold silicon substrate and 32 consist of a p mold diffusion layer in 31, the ferroelectric film with a thickness of 200nm with which 33 consists of a lead titanate zirconium, the 2nd electrode with a thickness of 10nm with which 34 consists of platinum film, and 35 are the 3rd electrode which consists of aluminum, and

37 is [ 36 is direct-current bias power supply, and ] an alternating current pulse power source. The 1st electrode 32 forms pn junction between n mold silicon substrates 31. The alternating current pulse power source 37 is electrically connected to the 1st electrode 32, and, as for the electrical potential difference built between the 1st electrode 32 and the 2nd electrode 34, and the electrical potential difference built between the 1st electrode 32 and n mold silicon substrate 31, the polarity has become reverse.

[0024] About the 2nd example constituted as mentioned above, the actuation is explained below.

[0025] Drawing 4 (a) is an electronic energy band Fig. when direct-current bias power supply and an alternating current pulse power source are not connected, and the electronic energy band Fig. when drawing 4 (b) connecting direct-current bias power supply and the alternating current pulse power source 37, and impressing a forward pulse voltage to the 1st electrode 32 and drawing 4 (c) are the electronic energy band Figs. when impressing a negative pulse voltage to the 1st electrode 32. In these drawings the electronic energy band of pn junction and 42 41 The electronic energy band of the ferroelectric film, 43 vacuum level and 45 for the electronic energy band of the 2nd electrode 34, and 44 Fermi level, The electron which carried out capacity coupling of 46 to the 2nd electrode 34, the electron with which 47 was restrained by the interface state density of the interface of the 2nd electrode 34 and the ferroelectric film 33, the electron with which 48 was restrained by the defective level in the ferroelectric film 33, and 49 are the electrons poured into the 1st electrode 32 from n mold silicon substrate 31.

[0026] If direct-current bias voltage is impressed and a forward pulse voltage is impressed to the 1st electrode 32 here, as shown in drawing 2 (a) The electron 47 with which the electron 46 which carried out capacity coupling to the 2nd electrode 34 was restrained by the interface of the 2nd electrode 34 and the ferroelectric film 33 at interface state density Since the electron 48 restrained by defective level is accumulated into the ferroelectric film 33, respectively and also the pn junction section serves as a forward bias Diffusion impregnation of the electron 49 is carried out from n mold silicon substrate 31 at the 1st electrode 32, and these parts serve as the electron 47 restrained by the interface state density of the interface of the ferroelectric film 33 and the 1st electrode 32.

[0027] Next, if a negative pulse is impressed to the 1st electrode 32, it will jump out to the vacuum level 44 by the electric field by the polarization charge which polarization of the ferroelectric film 33 reversed as shown in drawing 4 (c), and the electron 47 restrained by interface state density reversed. While the electric field concerning the ferroelectric film 33 accelerate and the electron 48 furthermore restrained by the defective level of the ferroelectric film 33 carries out the hopping of between defective level, it jumps out to the vacuum level 44. In addition, electric field will accelerate and the electron 47 restrained by the interface state density between the 1st electrode 32 and the ferroelectric film 33 will also be emitted to the vacuum level 44.

[0028] in addition -- although n mold silicon substrate was used as a substrate in this example and the case where pn junction was used was explained, using p mold diffusion layer as the 1st electrode -- a p type silicon substrate -- n mold -- a well -- forming -- the n mold -- even if it forms p mold diffusion layer in a well and uses as the 1st electrode, the same electron emission equipment can be constituted. Moreover, as long as it does not use pn junction, n mold diffusion layer may be formed in a p type silicon substrate, and this n mold diffusion layer may be used as the 1st electrode.

[0029] Next, the display in one example of this invention is explained, referring to a drawing. Drawing 5 is the solid sectional view of this display. The 1st electrode with which n mold silicon substrate and 52 consist of a p mold diffusion layer in drawing 5 in 51, The 2nd electrode which consists of formed platinum film as ferroelectric film, such as PZT, and 53 cross at right angles and the 1st electrode 52 and 54 cross at right angles, As for a transparency substrate and 60, the insulating layer which 55 becomes from silicon oxide etc., opening which prepared 56 in the insulating layer 55, the 3rd electrode with which a fluorescent substance layer and 58 consist of a transparency conductive layer in 57, and 59 are [ direct-current bias power supply and 61 ] alternating current pulse power sources. In addition, although the 1st electrode 52 and 2nd electrode 54 were omitted in the drawing, they shall be connected to the alternating current pulse power source 61 through a switch, respectively. Thus, this example prepares

much electron emission sections on n mold silicon substrate 51, installs the transparency substrate 59 which countered this n mold silicon substrate 51, and formed the fluorescent substance layer 57 and the transparency conductive layer 58, and constitutes a display by carrying out the vacuum lock around each substrate.

[0030] That is, the 1st electrode 52 of a large number arranged on n mold silicon substrate 51 at parallel and the 2nd electrode 54 of a large number arranged through the ferroelectric film 53 at parallel are arranged mutually at the right angle. Many 2nd electrode 54 of each other is electrically insulated by the insulating layer 55 which consists of silicon oxide equipped with the opening 56 for emitting an electron into a vacuum. The termination of the 1st electrode 52 and the 2nd electrode 54 is connected to the alternating current pulse power source 61 through the switch (not shown), respectively. The 3rd electrode 58 which, on the other hand, captures the emission electron in which bias was carried out by the direct-current bias power supply 60 to the alternating current pulse power source 61 is the transparency conductive layer formed on the transparency substrate 59 which separates space and counters with an electron emission side from opening 56, for example, indium tin oxide (ITO) etc. is used. Furthermore, in this example, the fluorescent substance 57 is applied on the field of the transparency conductive layer 58 which is an electronic attainment side. In addition, a silicon substrate 51 and the transparency substrate 59 can hold both spacing to homogeneity by forming and piling up a spacer on an insulating layer 55.

[0031] About the display constituted as mentioned above, the actuation is explained below. First, although the charge-and-discharge actuation to the capacitor which consists of the 1st electrode 52, ferroelectric film 53, and the 2nd electrode 54 according to the alternating current pulse power source 61 is the same as the electronic pulse release installation shown in drawing 3, the location where an electron is emitted becomes a point on the grid chosen by combining the switching condition of the switch (not shown) connected to each of the 1st electrode 52 and the 2nd electrode 54. Thus, since the fluorescent substance 57 is applied on the field of the 3rd electrode 58 in this example, the accelerated electron collides with a fluorescent substance 57, and makes this emit light, although it is accelerated by the electric field by the direct-current bias power supply 60 and the electron emitted from the opening 56 of the lattice point of the selected arbitration reaches the 3rd electrode 58. That is, since the location of the arbitration of the inner surface of the transparency substrate 59 can be chosen and can be made to emit light, it can use as a flat-surface image display device.

[0032] Although the display in the above-mentioned example explained the example using p mold diffusion layer formed in n mold silicon substrate 51 as the 1st electrode 52, this is the example which gathered effectiveness using pn junction, and if a diffusion layer is only used as wiring, it does not need to adhere to a conductivity type. Moreover, the same display can be constituted even if it forms the 1st two or more electrodes with a conductive ingredient on an insulating substrate rather than using a semiconductor substrate as a substrate, covers this 1st electrode and it forms the ferroelectric film, and it forms the 2nd electrode on this ferroelectric film, as it intersects perpendicularly with the 1st electrode.

[0033] Moreover, although the example which used the platinum film as the 2nd electrode 54 was explained, the display equipped with electronic pulse release installation with still higher electron emission effectiveness can consist of displays in the above-mentioned example by applying ingredients with high electron emission effectiveness, such as a magnesium oxide (MgO) and caesium (Cs), to the front face of the metal of low resistance besides the platinum film, using the low metal of a work function.

[0034] Moreover, it may face colorizing a display, and the fluorescent substance film in which different coloring on the transparency substrate 59 corresponding to the intersection of the 1st electrode 52 and the 2nd electrode 54 is shown may be formed, and the thing of white luminescence may be chosen as fluorescent substance film 57, and a mosaic-like light filter may be put on the transparency substrate 59. At this time, if it is made for the intersection of the 1st electrode 52 and the 2nd electrode 54 to shift a half-pitch every mutually in lines or trains, skillful color specification will be made possible.

[0035] In addition, when a silicon single crystal substrate is used as a substrate, while being able to carry out electrode formation using the manufacture approach of the usual semiconductor device, the actuation

circuit of high performance can be formed around a display, and the display of small and high performance can be constituted.

[0036] Moreover, although the engine performance is somewhat inferior compared with the case where a silicon single crystal substrate is used when what formed the polycrystalline silicon film or the amorphous silicon film on the transparency substrate as a substrate is used, the display of a big screen can be constituted.

[0037]

[Effect of the Invention] The 1st electrode with which this invention was formed on the support substrate, and the ferroelectric film formed on the 1st electrode, The 2nd electrode formed without contacting the 1st electrode on the ferroelectric film, By consisting of the 2nd electrode and the 3rd electrode which counters through space, and making the electron accumulated in the electrode as capacity coupling, the electron restrained by the interface state density of an electrode and the ferroelectric film, and the electron restrained by the defective level in the ferroelectric film emit Electronic pulse release installation with a high emission current consistency is realizable by the low battery. For example, if the ferroelectric film is made into the thickness of about 200nm, by the about [ \*\*5V ] low battery, it is possible to reverse polarization of a ferroelectric and low-battery actuation can be carried out.

[0038] Moreover, sequential formation of the ferroelectric film and the 2nd electrode is carried out for p mold diffusion layer on it as the 1st electrode, using n mold silicon substrate as a substrate, and since the electron further poured in from the pn junction section by installing the 3rd electrode on these can also be used as emission electron, an emission current consistency can be further made high.

[0039] Moreover, an electron emission side is the planar structure of a metal or an oxide, and does not have concentration of the emission current, and electronic pulse release installation which cannot be easily influenced of the adsorption and desorption of gas can be realized.

[0040] Furthermore, since the fluorescent substance film is excited with the electron emitted by applying the above-mentioned electronic pulse release installation, and applying the fluorescent substance film on the 3rd electrode and light is emitted, a very thin display is realizable.

[0041] Moreover, using a single crystal silicon substrate as a substrate of a display, an actuation circuit can be formed in the periphery of a display in one, and the number of input terminals and the external circuit of a display can be simplified.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] The sectional view of the electronic pulse release installation in the 1st example of this invention

[Drawing 2] (a) is an electronic energy band Fig. when impressing the pulse voltage which is forward to the 2nd electrode to the 1st electrode in this electronic pulse release installation.

(b) is an electronic energy band Fig. when impressing the pulse voltage which is negative to the 2nd electrode to the 1st electrode in this electronic pulse release installation.

[Drawing 3] The sectional view of the electronic pulse release installation in the 2nd example of this invention

[Drawing 4] (a) is an electronic energy band Fig. when direct-current bias voltage and a pulse voltage are not impressed in this electronic pulse release installation.

(b) is an electronic energy band Fig. when impressing direct-current bias voltage and impressing a forward pulse voltage to p mold diffusion layer in this electronic pulse release installation.

(c) is an electronic energy band Fig. when impressing direct-current bias voltage and impressing a negative pulse voltage to p mold diffusion layer in this electronic pulse release installation.

[Drawing 5] The solid sectional view of the display in one example of this invention

[Drawing 6] The important section sectional view of the conventional electronic pulse release installation

**[Description of Notations]**

1 Support Substrate

2 1st Electrode

3 Ferroelectric Film

4 2nd Electrode

5 3rd Electrode

---

[Translation done.]

\* NOTICES \*

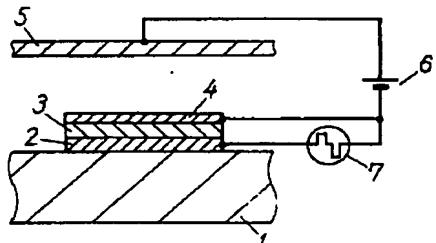
Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

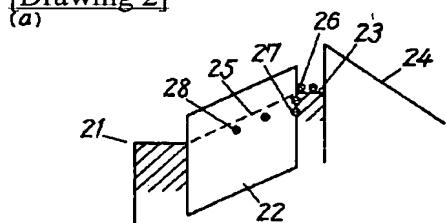
DRAWINGS

[Drawing 1]

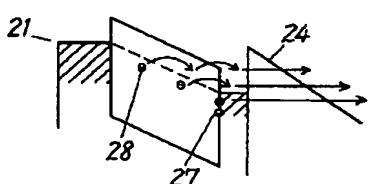
- 1 支持基板
- 2 第1の電極
- 3 強誘電体膜
- 4 第2の電極
- 5 第3の電極



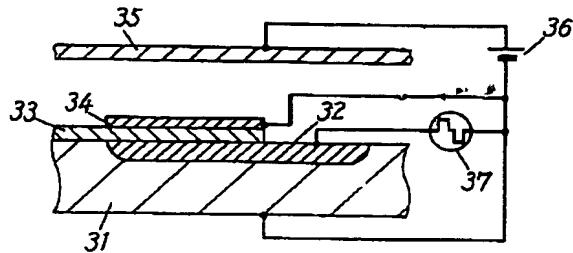
[Drawing 2]



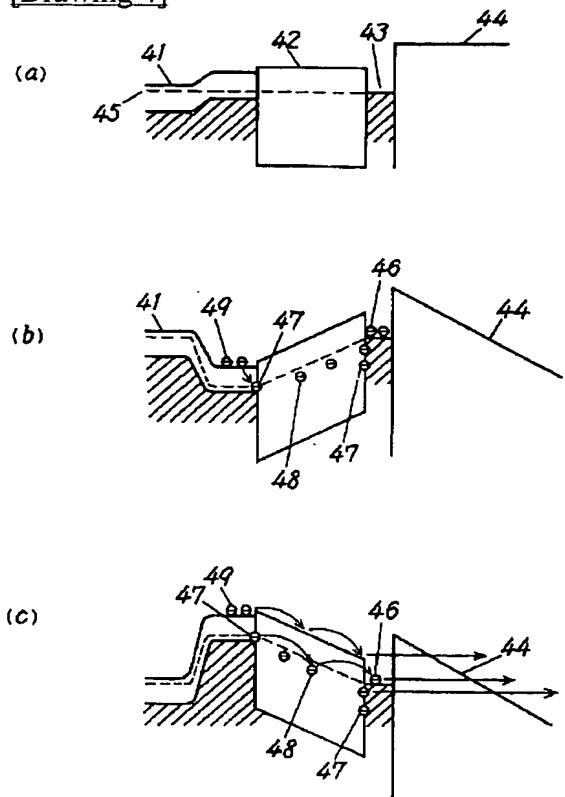
(b)



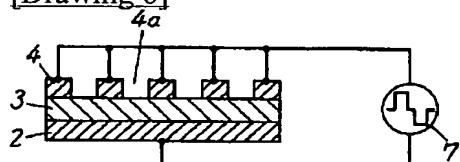
[Drawing 3]



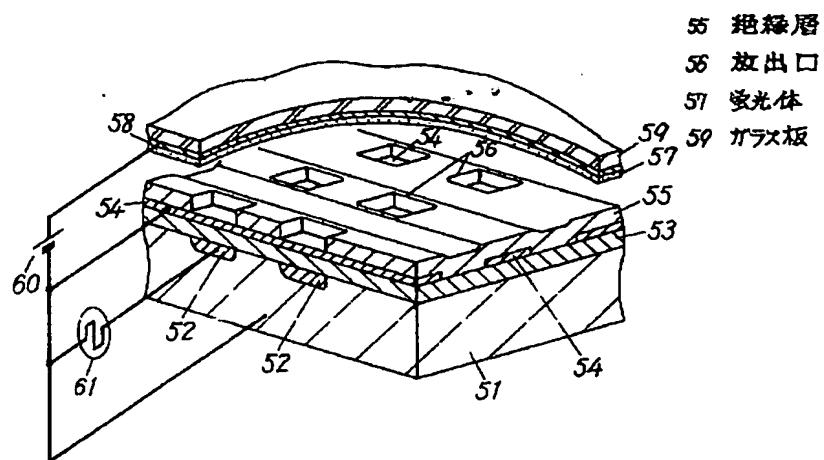
[Drawing 4]



[Drawing 6]



[Drawing 5]



---

[Translation done.]